



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 0 日
Date of Application:

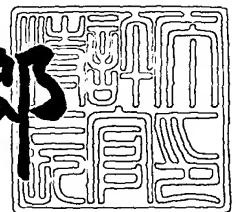
出 願 番 号 特 願 2 0 0 2 - 2 7 6 3 7 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 7 6 3 7 9]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 3 7 6 3

【書類名】 特許願

【整理番号】 P006612

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 納 光明

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

導電膜を積層してなる配線を有する半導体装置の作製方法であって、
絶縁表面上にバリア性を有する第 1 の導電膜を形成し、
前記第 1 の導電膜をエッチング法により所望の形状とし、
前記第 1 の導電膜上に銅を主成分とする第 2 の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第 2 の導電膜の幅を細くすることを特徴とする半導体装置の作製方法。

【請求項 2】

導電膜を積層してなる配線を有する半導体装置の作製方法であって、
前記絶縁表面上に半導体層を形成し、
前記半導体層上に第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜上にバリア性を有する第 1 の導電膜を形成し、
前記第 1 の導電膜をエッチング法により所望の形状とし、
前記第 1 の導電膜上に銅を主成分とする第 2 の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第 2 の導電膜の幅を細くし、
前記第 1 および前記第 2 の導電膜からなる第 1 の配線をマスクとして前記半導体層に不純物元素を添加して不純物領域を形成し、
前記第 1 の配線を覆って第 2 の絶縁膜を形成し、
前記第 2 の絶縁膜の一部に前記不純物領域に達するコンタクトホールを形成し、
前記第 2 の絶縁膜上に前記不純物領域と電氣的に接続された第 2 の配線を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 2 において、
前記第 2 の絶縁膜上にバリア性を有する第 3 の導電膜をエッチング法により所望の形状とし、

前記第3の導電膜上に銅を主成分とする第4の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くすることにより、

前記第2の配線を形成することを特徴とする半導体装置の作製方法。

【請求項4】

導電膜を積層してなる配線を有する半導体装置の作製方法であって、

不純物領域を一部に含む半導体層、および前記半導体層上に第1の絶縁膜を介して形成されたゲート電極上に第2の絶縁膜を形成し、

前記第2の絶縁膜の一部に前記不純物領域に達するコンタクトホールを形成し

、
前記第2の絶縁膜上にバリア性を有する第1の導電膜をエッチング法によりパターン形成し、

前記第1の導電膜上に銅を主成分とする第2の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くすることにより、

前記第2の絶縁膜上に前記不純物領域と電気的に接続された配線を形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記第1の導電膜は、TiNを主成分とする材料からなることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項4のいずれか一において、

前記第1の導電膜は、TiN、Ta₂N、WN、TiC、TaC、または珪素を含む導電膜のいずれか一種とTiを主成分とする材料との積層膜を用いることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至請求項4のいずれか一において、

前記第1の導電膜は、Ti、Al、Ta、Wのいずれか一種又は複数種で形成

された導電膜上に、TiN、Ta₂N₅、WN、TiC、TaC、または珪素を含む導電膜のいずれか一種からなる導電膜が形成された積層膜を用いることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

前記第 2 の導電膜を覆って、窒化珪素、窒化酸化珪素、窒化アルミニウム、または窒化酸化アルミニウムのいずれか一からなるバリア性を有する絶縁膜をスパッタリング法により形成することを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 3 において、

前記第 2 または前記第 4 の導電膜を覆って、窒化珪素、または窒化酸化珪素からなるバリア性を有する絶縁膜をスパッタリング法により形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子（代表的にはトランジスタ）をデバイスとして用いた半導体装置の分野における配線形成に関し、配線の低抵抗化に係る技術分野及びその微細化に係る技術分野に属する。

【0002】

【従来の技術】

近年、絶縁表面上に形成された半導体薄膜（厚さ数百～数千 nm 程度）を用いて TFT を作製する技術が開発されている。TFT は集積回路（Integrated Circuit；IC）や電気光学装置のような半導体装置に広く応用され、特に液晶表示装置や発光装置等を含む表示装置のスイッチング素子として開発が急がれている。

【0003】

中でも、モニターやテレビ等の表示装置は、用途が拡大し、量産化が進んでいることから、更に、画面サイズの大面積化、高精細化、高開口率化、高信頼性の

要求が高まっている。

【0004】

ところが、表示装置を駆動させる上で問題となる現象に配線抵抗による電圧降下（IRドロップともいう）がある。これは同一配線であっても電源からの距離が遠くなるに従って電圧が低下してしまうという現象である。この問題は特に配線長が長くなった場合に顕著であり、表示装置の大画面化にとって大きな障害となっている。

【0005】

すなわち、配線抵抗に起因する電圧降下によって所望の電圧を伝達することが不可能となり、その結果として画素部において画質の均質性を著しく損ねるといった不具合を生じる。こういった問題を配線の両端から電圧を加えるなどの工夫により改善しようとする試みがなされている。しかしながら、配線を長く引きまわすことになるため結局は電圧降下の影響を無視できない。

【0006】

また、同一基板上に駆動回路部（典型的にはゲート駆動回路及びソース駆動回路を含む）を一体形成したモノリシック型の表示装置を形成する場合、駆動回路部と電気信号の入力端子との間を引きまわす配線の配線抵抗が問題となる。配線抵抗は電気信号の遅延を招き、ゲート駆動回路やソース駆動回路の動作速度を低下させてしまう恐れがある。

【0007】

以上のように、配線抵抗に起因する電圧降下や信号の遅延によって画質の均質性を著しく損ねたり、駆動回路部の動作速度が極端に低下したりするといった不具合を生じる。こういった問題は、対角数十インチといった大画面の表示装置においては特に顕著な問題となる。

【0008】

これに対して、低抵抗な材料を用いることで配線抵抗の低抵抗化を図るという報告がされている（例えば、特許文献1参照。）。しかし、このような場合には、低抵抗な材料として銅を用い、銅配線をダマシン技術により形成するために微細加工が困難であり、また、CMP技術を用いた際におけるパーティクル汚染と

いった問題を有している。

【0 0 0 9】

その他、配線抵抗に起因する電圧降下の影響を抑えるために、素子の形成された基板と硬度の大きいプリント配線板（PWB：Printed wiring board）とを導電体（異方導電性フィルムまたはバンプ）により電氣的に接続し、素子形成基板に形成された各種配線（第 1 の配線群）の抵抗を低減させるといった技術が知られている（例えば、特許文献 2 参照。）。

【0 0 1 0】

【特許文献 1】

特開 2 0 0 0 - 5 8 6 5 0 号公報

【特許文献 2】

特開 2 0 0 1 - 2 3 6 0 2 5 号公報

【0 0 1 1】

【発明が解決しようとする課題】

本発明は、上述のような配線抵抗に起因する電圧降下の影響を抑え、表示装置の画質を均質なものとすることを目的とする。また、駆動回路部と入出力端子とを電氣的に接続する配線の遅延を抑え、駆動回路部の動作速度を向上させることを目的とする。

【0 0 1 2】

【課題を解決するための手段】

本発明では、上記課題を解決するために半導体装置に用いる配線として、配線抵抗の低抵抗化を実現する銅を含む配線を微細化して用いるとともに、銅の拡散を防ぐバリア性の導電膜（以下、バリア性導電膜）を薄膜トランジスタ（以下、TFTと表記する）との間に設けることにより TFT の半導体層に銅が拡散することなく銅を含む配線を形成することを特徴とする。

【0 0 1 3】

なお、本発明における銅を含む配線とは、少なくとも銅を主成分とする導電膜と、銅の拡散に対するバリア性を有するバリア性導電膜との積層膜からなる配線である。また、三層以上の積層構造を形成する場合には、その間の層に銅を主成

分とする導電膜を設けてもよい。但し、銅を主成分とする導電膜と T F T の活性層との間にはバリア性導電膜を有している必要がある。

【0014】

また、銅を主成分とする導電膜は、マスクを用いた D C スパッタリング法もしくは、蒸着法により形成し、さらにドライエッチング法を用いて銅を主成分とする導電膜の線幅を細くするための微細加工することを特徴とする。なお、ここで用いるマスクとは、ステンレス、ニッケル、ガラス、または石英を材料として形成されており、その開口部におけるピッチは $5\ \mu\text{m}$ 以上のものを用いる。また、本発明において、銅を主成分とする導電膜は、 $0.1\sim 1\ \mu\text{m}$ の膜厚で形成するのが好ましい。

【0015】

なお、本発明において銅を含む配線は、ソース線（信号線）、ゲート線（走査線）、電流供給線、および引き回し配線を形成することを特徴とする。

【0016】

また、本発明に用いる銅は、上述したように T F T の電気的特性にとって好ましくない材料であることから、本発明では、T F T の活性層に銅が侵入しないように少なくとも活性層と銅を含む導電膜との間に銅に対するバリア性を有するバリア性導電膜を設けることを特徴とする。このバリア性導電膜は、窒化タンタル（T a N）、窒化チタン（T i N）又は窒化タングステン（W N）から選ばれた一種或いは複数種の積層膜を用いることができる。

【0017】

以上より、本発明の構成は、
導電膜を積層してなる配線を有する半導体装置の作製方法であって、
絶縁表面上にバリア性を有する第 1 の導電膜を形成し、
前記第 1 の導電膜をエッチング法により所望の形状とし、
前記第 1 の導電膜上に銅を主成分とする第 2 の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第 2 の導電膜の幅を細くすることを特徴とする半導体装置の作製方法である。

【0018】

また、本発明の配線の作製方法により走査線を作製する場合についても本発明に含めるものとする。

【0019】

なお、本発明の別の構成は、
導電膜を積層してなる配線を有する半導体装置の作製方法であって、
前記絶縁表面上に半導体層を形成し、
前記半導体層上に第1の絶縁膜を形成し、
前記第1の絶縁膜上にバリア性を有する第1の導電膜を形成し、
前記第1の導電膜をエッチング法により所望の形状とし、
前記第1の導電膜上に銅を主成分とする第2の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くし、
前記第1および前記第2の導電膜からなる第1の配線をマスクとして前記半導体層に不純物元素を添加して不純物領域を形成し、
前記第1の配線を覆って第2の絶縁膜を形成し、
前記第2の絶縁膜の一部に前記不純物領域に達するコンタクトホールを形成し、
前記第2の絶縁膜上に前記不純物領域と電氣的に接続された第2の配線を形成することを特徴とする半導体装置の作製方法である。

【0020】

なお、上記構成において、
前記第2の絶縁膜上にバリア性を有する第3の導電膜をエッチング法により所望の形状とし、
前記第3の導電膜上に銅を主成分とする第4の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くすることにより、
前記第2の配線を形成することを特徴とする半導体装置の作製方法である。

【0021】

また、本発明の別の構成は、
導電膜を積層してなる配線を有する半導体装置の作製方法であって、

不純物領域を一部に含む半導体層、および前記半導体層上に第1の絶縁膜を介して形成されたゲート電極上に第2の絶縁膜を形成し、

前記第2の絶縁膜の一部に前記不純物領域に達するコンタクトホールを形成し、

前記第2の絶縁膜上にバリア性を有する第1の導電膜をエッチング法によりパターン形成し、

前記第1の導電膜上に銅を主成分とする第2の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くすることにより、

前記第2の絶縁膜上に前記不純物領域と電氣的に接続された配線を形成することを特徴とする半導体装置の作製方法である。

【0022】

さらに上記各構成において、

前記第2の導電膜を覆って、窒化珪素、窒化酸化珪素、窒化アルミニウム、または窒化酸化アルミニウムのいずれか一からなるバリア性を有する絶縁膜をスパッタリング法により形成することを特徴とする半導体装置の作製方法である。

【0023】

本発明において、銅を含む配線を形成することにより配線抵抗を低減すると共に大電流を流すことができる。そのため、電圧降下や信号波形のなまりを低減することができる。

【0024】

また、本発明においては、銅を含む配線の微細化が可能であることから配線や電極の面積を小さくすることができる。なお、本発明により形成された銅を含む配線を用いる場合には、5インチ以上の中型、大型のパネルを作製し、配線に大電流が流れる場合には特に効果的である。

【0025】

【発明の実施の形態】

本発明の実施形態について以下に説明する。

【0026】

(実施の形態 1)

本発明における銅を含む配線の作製方法について、図 1 を用いて説明する。

【0027】

図 1 (A) において、基板 101 上に第 1 の導電膜 102 がパターン形成されている。なお、ここで形成される第 1 の導電膜 102 の材料としては、後で形成される銅を主成分とする導電膜からの銅の侵入を防ぐためのバリア性を有する TiN、Ta₂N₃、WN、TiC、TaC、または珪素を含む導電膜などを用いることができる。さらにこれらの材料と組み合わせて Ti、Al、Ta、または W 等の材料を用いることができる。

【0028】

なお、第 1 の導電膜は、スパッタリング法により形成され、ドライエッチング法によりパターニングされる。また、このときの第 1 の導電膜は、30～40 μm の線幅で形成する。

【0029】

次に、図 1 (B) に示すようにマスク 103 を用いたスパッタリング法により、第 2 の導電膜 104 をパターン形成する (図 1 (C))。なお、ここではマスク 103 としてメタルマスクを用いる。

【0030】

また、ここで形成される第 2 の導電膜 104 は、銅を主成分とする材料により形成され、0.1～1.0 μm の膜厚で形成される。

【0031】

次に、第 2 の導電膜 104 上にレジスト 105 が形成され、レジスト 105 をマスクとして、ドライエッチング法により微細加工され、106 に示す形状を得る (図 1 (E))。なお、この場合における第 2 の導電膜 104 の線幅は、5～20 μm となる。なお、エッチングの方法としては、塩素を含むガスを用いてドライエッチングを行うものとし、エッチング処理室内部を減圧 (真空も含む) させ、基板表面を加熱、もしくは光照射することにより行う。

【0032】

なお、ここでは、図示しないが図 1 (E) の配線を形成した後で、第 2 の導電

膜に含まれる銅の拡散を防ぐためにバリア性を有する絶縁膜（バリア性絶縁膜）を形成するのが好ましい。バリア性絶縁膜に用いる材料としては、窒化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウム、DLC（ダイヤモンドライクカーボン）膜、窒化炭素（CN）等を用いることができる。

【0033】

（実施の形態 2）

本実施の形態 2 では、表示装置の画素部に形成され、ソース側駆動回路からの信号を各画素に入力するための信号線（本実施の形態においては、電流供給線も含む）に銅を含む配線を用いる場合について説明する。なお、本実施の形態に示す表示装置には、一对の電極間に電界発光層をはさんで形成された発光素子を有する発光装置の場合について説明する。

【0034】

発光装置は、画素部に図 2（A）で示す画素を複数マトリクス状に有している。

。なお、各画素は、信号線 201、電流供給線 202、走査線 203、複数の TFT（204、205）、容量素子 206、および発光素子 207 をそれぞれ有する。なお各 TFT（204、205）は、図 1 に示すようなシングルゲート構造に限らず、ダブルゲート構造やトリプルゲート構造といったマルチゲート構造を有していてもよい。

【0035】

次に、図 2（B）に図 1（A）の上面図を示す。なお、ここでは、信号線 201、電流供給線 202、走査線 203、複数の TFT（204、205）、容量素子 206 が形成されており、発光素子の第 1 の電極となる画素電極形成前の状態を示す。なお、画素電極は、図 2（B）の破線部 209 に後に形成される。

【0036】

また、信号線 201、および電流供給線 202 は、それぞれバリア性導電膜 201a、202a）、および銅を含む導電膜（201b、201b）の積層膜により形成されている。

【0037】

なお、図 2 (B) における接続関係については、TF T 204 のソース領域またはドレイン領域のいずれか一方が信号線 201 と接続され、他方が容量素子 206 および TF T 205 のゲート電極と接続されている。また、走査線 203 の一部は TF T 204 のゲート電極となっている。さらに、TF T 205 のソース領域またはドレイン領域のいずれか一方は、後に形成される画素電極 209 と接続され、他方は電流供給線 202 と接続されている。また、容量素子 206 は電流供給線 202 と活性層とが積層された領域に形成されている。

【0038】

次に、図 2 (B) に示す A-A' の断面図として構造の異なるものについて、図 2 (C) ~ (E) により詳細に説明する。

【0039】

まず、図 2 (C) において、211 は、絶縁表面を有する基板であり、ガラス基板、セラミック基板、石英基板、シリコン基板又はプラスチック基板（プラスチックフィルムを含む。）を用いることができる。

【0040】

次に、基板 211 上に、下地膜として酸化窒化シリコン膜 212a と、酸化窒化シリコン膜 212b とを積層する。勿論、これらの材料に限定する必要はない。

【0041】

次に、酸化窒化シリコン膜 212b 上には TF T 205 の半導体層及び容量素子 206 領域に設けられる半導体層（合わせて半導体層 213 という）が設けられ、前記半導体層はソース領域、ドレイン領域、チャネル形成領域が設けられ、適宜 LDD 領域やゲート電極と重なる GOLD 構造を形成することもできる。

【0042】

また TF T の半導体層 213 はゲート絶縁膜 214 に覆われ、その上に窒化タantal (TaW) 215 とタングステン (W) 216 とが積層されたゲート電極が設けられている。なお、ゲート絶縁膜 214 は本実施の形態では酸化窒化シリコン膜を用いる。また、ゲート電極の金属膜は相互に選択比が高いため、エッチング条件を選択することにより、このような構造とすることが可能である。この

エッチング条件については、本出願人による特開 2001-313397 号公報を参照すれば良い。

【0043】

また、ゲート電極を覆う絶縁膜 217 として窒化シリコン膜もしくは窒化酸化シリコン膜が設けられている。本実施の形態では、プラズマ CVD 法を用いて、窒化酸化シリコン膜を形成する。さらに、絶縁膜 217 上には平坦化を目的として、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）、スパッタ法や CVD 法や塗布法による無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）、またはこれらの積層など用いて層間絶縁膜 218a を形成する。

【0044】

次いで、層間絶縁膜 218a 上に、窒化絶縁膜（代表的には、窒化珪素膜又は窒化酸化珪素膜）からなるバリア性絶縁膜 219 を形成する。本実施の形態ではバリア性絶縁膜 219 に窒化珪素膜を用いる。その後、ウェットエッチング法又はドライエッチング法を用いてバリア性絶縁膜 219、層間絶縁膜 218a、絶縁膜 217 及びゲート絶縁膜 214 にコンタクトホール（開口部）を形成する。

【0045】

なお、図 2（C）に示す層間絶縁膜 218a に設けられたコンタクトホールは、下に向かうにつれ直径が小さくなるテーパ形状を有し、層間絶縁膜 218 の上面とコンタクトホールの斜面と（コンタクトホールの角部）のなす角度（図 2（C）に 221a で示す部分）は 95～135 度程度である。

【0046】

次に、バリア性を有する導電性材料を用いてバリア性導電膜 202a を形成し、エッチング法（ドライエッチング法、またはウェットエッチング法）によりパターニングを行う。

【0047】

次に、バリア性導電膜 202a 上に銅を主成分とする導電膜 202b をメタルマスクを用いたスパッタリング法によりパターン形成し、さらに、ドライエッチング法を用いて微細加工をする。なお、導電膜 202b の作製方法については、

実施の形態 1 を参照すればよい。

【0048】

なお、以上により、バリア性導電膜 202a と銅を主成分とする導電膜 202b との積層膜により形成された信号線 201 及び電流供給線 202 が形成される。

【0049】

次に、図 2 (D) により、コンタクトホール 221b の角部 (図 2 (D) に 221b で示す部分) が丸みを帯び、下に向かうにつれ直径が小さくなる形状を有する構造について示す。なお、この場合の層間絶縁膜 218b の材料として、感光性または非感光性の有機材料 (ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン) を用い、ウェットエッチング法又はドライエッチング法を使用してコンタクトホールを形成すればよい。

【0050】

さらに、図 2 (E) により、図 2 (D) よりもコンタクトのテーパの形状が異なっており、コンタクトホール 221c の角部 (図 2 (E) に 221c で示す部分) が丸みを帯び、かつコンタクトホールが、異なる 2 つ以上の曲率半径を有する斜面を有する構造について示す。このとき層間絶縁膜の材料として、感光性または非感光性の有機材料 (ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン) を用い、ウェットエッチング法又はドライエッチング法を使用してコンタクトホールを形成すればよい。

【0051】

このように層間絶縁膜に形成されるコンタクトホール 221 の形状により、TFT 205 に設けられる配線 220 の段切れを防止することができる。

【0052】

なお、図 2 (C) ~ (E) に示すように銅を主成分とする導電膜 (201b、202b) 形成後、好ましくは、図 3 に示すように、銅を主成分とする導電膜 (201b、202b) を覆う絶縁膜 304 を形成する。絶縁膜 304 は窒化シリコン (SiN)、窒化酸化シリコン (SiNO) を用いて形成すればよい。なお、本実施の形態では窒化シリコンを高周波スパッタ法により形成する。このよう

に銅を主成分とする導電膜（201b、202b）を絶縁膜204で覆うことにより、膜中に含まれる銅がTFTの活性層へ拡散するのを防ぐことができる。

【0053】

次に、フォトリソグラフィーにより絶縁膜204の一部であって、配線304と重なる位置に開口部を形成し、画素電極222を形成する。このとき、開口部を介して画素電極222と配線220とが電氣的に接続される。

【0054】

なお、図3（B）～（D）は、配線220、絶縁膜304、または画素電極222の作製順序、その他、絶縁膜304の開口部の作製方法が異なる場合の構成である。

【0055】

例えば、図3（B）は、図2（C）に示す構成と異なり、画素電極222を形成した後、バリア性導電膜からなる配線220、バリア性導電膜、および銅を主成分とする導電膜との積層膜からなる信号線201、および電流供給線202を形成し、最後に、絶縁膜304に開口部を設ける構成である。

【0056】

また、図3（C）に示す構成は、図3（A）と同様に、配線220、信号線201及び電流供給線202を形成し、前記信号線201及び電流供給線202を形成し、絶縁膜304を形成する。しかし、この場合には、第2の層間絶縁膜305を形成し、第2の層間絶縁膜305上に第2のバリア性絶縁膜306を形成する。そして第2の層間絶縁膜305及び第2のバリア性絶縁膜306に開口部を形成し、前記開口部において、配線220と電氣的に接続される画素電極222を形成する構成である。なお、第2の層間絶縁膜305は第1の層間絶縁膜と同様の材料や方法で形成し、第2のバリア性絶縁膜は第1のバリア性絶縁膜と同様の材料や方法で形成すればよい。

【0057】

また、図3（D）に示す構成は、絶縁膜304の作製方法が図2（A）～（C）と異なり、マスクを用いて銅を主成分とする導電膜上のみに絶縁膜304を形成する構成である。そのため、この場合には、フォトリソグラフィーを用いて絶

縁膜 204 に開口部を形成する必要がない。なお、図 3 (D) に示す構成は、図 3 (A) ~ (C) に示す構成の絶縁膜 304 の作製方法に適応させることが可能である。

【0058】

なお、図 3 に示すように銅を含む配線を分離して形成された絶縁膜 304 で形成する場合には、バリア性導電膜 201a と同じ材料で形成することもできる。

【0059】

さらに、図 4 では、図 3 で画素電極 222 まで形成した後、画素電極の端部や、配線、信号線および走査線を覆ってバンク（隔壁、障壁、土手などとも呼ばれる）を形成し、画素電極上に発光素子の発光層、および第 2 の電極を作製する方法について説明する。

【0060】

図 4 (A) は、図 3 (A) に示した構成に加えて、全面に第 2 の絶縁膜 305 を形成した後、画素電極 222 上に開口部を形成して得られる。第 2 の絶縁膜 305 は、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）、CVD 法やスパッタ法や塗布法による無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）、またはこれらの積層などを用いて形成する。なお、第 2 の絶縁物 305 に感光性の有機材料を用いる場合、感光性の有機材料は大きく分けて 2 種類、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型があるが、本発明においてはどちらを用いることもできる。

【0061】

次に、開口部に有機化合物を含む発光層 306 を形成し、発光層 306 の上に第 2 の電極 307 を形成する。また、発光層 306 の形成前、または形成後において、真空加熱を行って脱気を行うことが好ましい。なお、有機化合物を含む層 306 は、極めて薄いため、第 1 の電極の表面は平坦であることが好ましく、例えば、画素電極 222 のパターンニング前、またはパターンニング後に化学的及び機械的に研磨する処理（代表的には CMP 技術）等）により平坦化を行ってもよい

。さらに、画素電極 2 2 2 の表面における清浄度を向上させるため、異物（ゴミなど）をクリーニングするための洗浄（ブラシ洗浄やベルクリン洗浄）を行ってもよい。

【0 0 6 2】

なお、図 4（A）に示す第 2 の絶縁膜 3 0 5 の開口部は、下に向かうにつれ直径が小さくなるテーパ形状を有し、第 2 の絶縁膜 3 0 5 の上面と開口部の斜面と（開口部の角部）のなす角度は 9 5 ～ 1 3 5 度程度である。

【0 0 6 3】

そして図 4（B）は、開口部の角部が角度を有するテーパの形状となっている図 4（A）と異なり、開口部の角部が丸みを帯び、下に向かうにつれ直径が小さくなっている。このとき第 2 の絶縁膜 3 0 5 の材料として、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）を用い、ウェットエッチング法又はドライエッチング法を使用して開口部を形成すればよい。

【0 0 6 4】

また図 4（C）は、更に開口部のテーパの形状が異なっており、開口部の角部は丸みを帯び、且つ開口部は、異なる 2 つ以上の曲率半径を有する斜面を有している。このとき第 2 の絶縁膜 3 0 5 の材料として、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）を用い、ウェットエッチング法又はドライエッチング法を使用して開口部を形成すればよい。

【0 0 6 5】

なお、図 4（C）における第 2 の絶縁膜 3 0 5 の開口部の形状について、3 0 8 a で示す部分の拡大図を図 4（D）に示す。すなわち、第 2 の絶縁膜 3 0 5 の下端部は、画素電極 2 2 2 の上面に接し、画素電極 2 2 2 と前記下端部との接線の上方の曲率中心（ O_1 ）及び第 1 の曲率半径（ R_1 ）により決まる曲面状の側面を有する。そして、第 2 の絶縁膜 3 0 5 の上端部は、第 2 の絶縁膜 3 0 5 の上面に接し、上端部と上面との接線の下方の曲率中心（ O_2 ）及び第 2 の曲率半径（ R_2 ）により決まる曲面状の側面を有する。

【0066】

なお、図4 (A) ~ (C) は、図3 (A) に示す構成を用いて説明したが、図3 (B) ~ (D)、更に図2 (A) ~ (C) に示した構成のいずれとも組み合わせ用いることが可能である。

【0067】

次に、本発明において形成される配線の具体的な積層構造について図5により説明する。なお、図5は、図4において領域b (309) で示す部分の構造を示している。

【0068】

図5 (A) は、絶縁膜501上にバリア性導電膜502として、Ti膜とTiN膜とが積層形成されている。すなわち、絶縁膜501上に初めに形成されるのはTi膜であり、Ti膜上にCuに対するバリア性を有するTiN膜が形成されている。また、バリア性導電膜502上に銅を主成分とする導電膜503として、Cu膜が形成されている。なお、ここでは、銅膜の上にSiN膜からなるバリア性絶縁膜504が形成されている。

【0069】

また、図5 (B) には、バリア性導電膜502がさらに積層されている構造を示す。すなわち、Ti膜、Ti膜、およびAl膜との積層膜である。

【0070】

また、図5 (C) には、バリア性導電膜502の構造が、Ti膜とTa₂N膜との積層構造を有する場合を示し、図5 (D) には、Ti膜とWN膜との積層構造を有する場合について示す。なお、これらは、いずれも図5 (A) と同様にして、バリア性絶縁膜504が形成されている。

【0071】

なお、ここで示したのは、本発明の導電膜の積層により形成された配線構造の組み合わせの一例であり、上述した材料の組み合わせであれば図5に示す構造に限られることなく用いることができる。

【0072】

(実施の形態3)

本実施の形態では図6を参照して、ゲート電極にCuを有する配線を適応した例を説明する。

【0073】

図6(A)は発光装置の一画素の等価回路を示している。図6(A)に示すように、表示装置の一画素は、少なくとも信号線601、電流供給線602、走査線603、複数のTFT604、605、容量素子606、発光素子607を有する。なお各TFTは、シングルゲート構造でなく、ダブルゲート構造やトリプルゲート構造といったマルチゲート構造を有していてもよい。

【0074】

また図6(B)は、画素電極(発光素子の第1電極)622'が形成された状態の図6(A)の上面図を示し、信号線601、電流供給線602、走査線603、TFT604、605、容量素子606、発光素子の画素電極622を有し、走査線603上及びTFT604のゲート電極、つまりゲート電極と同じレイア(同一層)で形成されるバリア性導電膜603a上に銅を主成分とする導電膜603bを設ける。

【0075】

そして図6(C)は、図6(B)のB-B'における断面図を示す。まず図2と同様に、絶縁表面を有する基板611と、下地膜として酸化窒化シリコン膜612aと、酸化窒化シリコン膜612bと、TFT604及びTFT605の半導体膜613と、が設けられている。そして半導体膜613を覆うようにゲート絶縁膜614が設けられ、半導体膜上にバリア性導電膜603a及び銅を主成分とする導電膜603bを設ける。つまり本実施の形態では、ゲート電極に銅を含む配線を用いることを特徴とする。なお、銅を含む配線の形成方法は、実施の形態1を参照すればよい。またバリア性導電膜603aは、窒化タンタル(TaN)、窒化チタン(TiN)又は窒化タングステン(WN)から選ばれた一種或いは複数種の積層膜を用いて形成する。このバリア性導電膜603aは、拡散により銅が半導体膜613へ侵入しないための保護膜としての機能を有している。

【0076】

ゲート電極と同じレイア(同一層)をパターンニングすることにより、ゲート電

極と同時に走査線 603 が形成されている。すなわち、走査線 603 はバリア性導電膜 603 a と銅を主成分とする導電膜 603 b との積層構造を有している。

【0077】

その後、ゲート電極又はレジストをマスクとして、該半導体膜はソース領域、ドレイン領域、チャネル形成領域を形成し、更に適宜 LDD 領域やゲート電極と重なる GOLD 構造を形成する。なお、不純物が添加されているソース領域、ドレイン領域、LDD 領域又は GOLD 構造を不純物領域と呼ぶ。そして、ゲート電極を覆う絶縁膜 617 として窒化シリコン膜又は窒化酸化シリコン膜が設けられる。

【0078】

次いで、加熱炉又はレーザを用いて不純物領域の活性化を行う。このとき活性化における加熱により、銅が拡散し半導体膜に侵入することを防ぐため、好ましくは、基板の裏面（半導体膜が形成されている面と反対の面）からレーザ（例えばエキシマレーザ）を照射して活性化を行う。なお更に好ましくは、バリア性導電膜 603 a を形成した後、不純物領域を形成し、その後加熱炉又はレーザを用いて不純物領域を活性化し、銅を主成分とする導電膜 603 b を形成するとよい。

【0079】

更に、絶縁膜 617 上には平坦化を目的として、感光性又は非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン）、スパッタリング法や CVD 法や塗布法による無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）、又はこれらの積層などを用いて層間絶縁膜 618 を形成する。

【0080】

次いで、層間絶縁膜 618 上に、窒化絶縁膜（代表的には、窒化珪素膜又は窒化酸化珪素膜）からなるバリア性絶縁膜 619 を形成する。なお、ここでいうバリア性絶縁膜とは、銅の拡散を防止する機能を有する絶縁膜をいう。本実施の形態ではバリア性絶縁膜 619 に窒化珪素膜を用いる。その後、ウェットエッチング法又はドライエッチング法を用いてバリア性絶縁膜 619、層間絶縁膜 618

、絶縁膜 617 及びゲート絶縁膜 614 にコンタクト（開口部）を形成する。なお、コンタクトホールの形状、すなわち層間絶縁膜の形状は図 2（A）～（C）のいずれの構造を用いてもよい。

【0081】

そして、コンタクトホールに配線 120 を形成し、ソース領域又はドレイン領域と接続される。このとき、同じレイヤ（同一層）をパターンニングすることにより、同時に信号線 601 及び電流供給線 602 が形成される。その後、図 3、図 4 に示すように発光層等を形成する。なお形成される画素電極においては、図 3（A）～（C）のいずれの構成を用いてもよく、発光層を形成するときの絶縁膜等の構成は、図 4（A）～（C）のいずれの構成を用いてもよい。

【0082】

このように、ゲート電極、走査線に銅を含む配線を適応することも可能である。

【0083】

以上のように、ゲート電極や走査線に銅を含む配線を適応することにより、電圧降下や波形のなまりを低減することができ、更には発光装置の狭額縁化を達成することができる。

【0084】

（実施の形態 4）

本発明の作製方法により得られる配線は、表示装置の引き回し配線に用いることもできる。

【0085】

図 7（A）に示す基板 731 上には、駆動回路部であるソース側駆動回路 732、ゲート側駆動回路 733、および画素部 734 が形成されており、ソース側駆動回路 732、ゲート側駆動回路 733 は、引き回し配線 735 により外部と接続されている。すなわち、ここで示す引き回し配線 735 に本発明の配線を用いることができる。ここでは、図示しないが、発光装置の場合には、電流供給線や、画素部 734 の各画素に形成された発光素子の第 2 の電極も同様に引き回し配線により外部と接続される。なお、本実施の形態において引き回し配線として

形成される銅を含む配線の線幅は、 $900 \sim 1500 \mu\text{m}$ とするのが好ましい。
また、引き回し配線との接続部は、 $100 \sim 200 \mu\text{m}$ 程度とするのが好ましい。
。

【0086】

なお、引き回し配線 735 は、接続部 736 において、FPC 737 と接続される。

【0087】

ここで、図 7 (A) に示す領域 a (738) の構造について、図 7 (B) に詳細に示す。図 7 (B) において、701 は、バリア性導電膜であり、702 は、バリア性導電膜 701 上に積層して形成された銅を主成分とする導電膜である。そして、これらの積層により形成される配線 703 は第 2 の絶縁膜 711 により覆われている。また、第 1 の絶縁膜 707 に設けられたコンタクトホール 703 において、バリア性導電膜 701 は、走査線 706 と電氣的に接続される。また、画素部 734 の画素電極と同時に形成される透明導電膜 704 は、その上に形成されている第 2 の絶縁膜 711 が除去されているので、図 7 (B) の上面図において、表面が露出している。

【0088】

また、図 7 (C) には、図 7 (B) の A-A' における断面図を示す。まず、走査線と同時に形成された配線 706 上に、層間絶縁膜と同時に形成された第 1 の絶縁膜 707 が形成される。その後、第 1 の絶縁膜 707 にコンタクトホール（開口部）を形成し、引き回し配線となるバリア性導電膜 701 を形成し、コンタクトを介して配線 706 と接続される。次に、バリア性導電膜 701 上に銅を主成分とする導電膜 702 を形成するが、銅を主成分とする導電膜 702 はコンタクトホールの手前まで延在するようにパターンニングする。そして、バリア性導電膜 701 と接するように透明導電膜 704 を形成する。このとき、透明導電膜 704 は第 1 の絶縁膜 707 上から延在して形成される。

【0089】

次に、第 1 の絶縁膜上にバリア性導電膜 701 及び銅を主成分とする導電膜 702 を覆うように第 2 の絶縁膜 711 を形成し、導電膜 704 の周囲（端、縁と

もいう)を覆うように第2の絶縁膜711に開口部を形成する。すると、透明導電膜704が露出した状態となる(図7(B)の上面図参照)。なお、第1の絶縁膜707と第2の絶縁膜711とのマージンdは、数 μm 、例えば3 μm とする。

【0090】

次に、図7(D)に保護回路720周辺の拡大図を示す。FPCとの接続領域付近(以下、接続領域)において、TFTの半導体層と同時に形成される半導体層が、矩形を有し階段状(ジグザグ)に設けられている。そして、半導体層712はバリア性導電膜701と、配線706とにコンタクトホールを介して接続され、保護回路として機能している。このような保護回路を設けることにより、半導体膜が抵抗として機能し、駆動回路部や画素部へ静電気等による過大な電流が流れることを防止することができる。また半導体層以外にTFTを設けてもよい。さらに、半導体層と、TFTとを組み合わせることで設けても良い。

【0091】

またFPCの端子と、引き回し配線との接続は、引き回し配線の接続先が発光素子の電極や駆動回路部の配線とにより異なる。すなわち、引き回し配線の接続先が発光素子の電極の場合、極力低抵抗としたいため、配線の幅が広く設計されており、引き回し配線に対して2つのFPC端子が接続される。一方、引き回し配線の接続先が駆動回路の配線の場合、配線の幅が上記と比較すると狭く設計されており、引き回し配線に対して1つの端子が接続される。このように引き回し配線の接続先を考慮して、接続されるFPC端子の数を設定する。また保護回路は、発光素子の電極や駆動回路部の配線毎に設ければよい。

【0092】

そして図7(A)の上面図には記載されないが、第2の絶縁膜711の開口部に導電体708を含む樹脂707を形成し、FPC側に設けられた第2の配線709を介してFPC710を接続する。

【0093】

以上のように本実施の形態では、引き回し配線の必要箇所に銅を主成分とする導電膜702を設けることにより、配線抵抗が低減され、配線からの発熱を防止

することができる。特に、 中型、大型のパネルになってくると配線に大電流を流すことが必要になり、本発明のように電気抵抗値が低い銅を主成分とする導電膜 702 を用いることは大電流を流すことができるという利点あり、有用である。

【0094】

(実施の形態5)

本実施の形態5では、本発明の半導体装置のうちアクティブマトリクス型の発光装置の外観図について、図8により説明する。なお、図8 (A) は、発光装置を示す上面図、図8 (B) は図8 (A) をA-A' で切断した断面図である。点線で示された801は駆動回路部(ソース側駆動回路)、802は画素部、803は駆動回路部(ゲート側駆動回路)である。また、804は封止基板、805はシール剤であり、シール剤805で囲まれた内側807は、空間になっている。

【0095】

なお、808はソース側駆動回路801及びゲート側駆動回路803に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)809からビデオ信号、クロック信号、スタート信号、リセット信号等を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0096】

次に、断面構造について図8 (B) を用いて説明する。基板810上には駆動回路部及び画素部が形成されているが、ここでは、駆動回路部であるソース側駆動回路801と、画素部802が示されている。

【0097】

なお、ソース側駆動回路801はnチャネル型TFT823とpチャネル型TFT824とを組み合わせたCMOS回路が形成される。また、駆動回路を形成するTFTは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成

しても良い。また、本実施の形態では、基板上に駆動回路を形成したドライバー一体型を示すが、必ずしもその必要はなく、基板上ではなく外部に形成することもできる。

【0098】

また、画素部 802 はスイッチング用 TFT 811 と、電流制御用 TFT 812 とそのドレイン領域に電氣的に接続された画素電極である第 1 の電極 813 とを含む複数の画素により形成される。なお、第 1 の電極 813 の端部を覆って絶縁物 814 が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0099】

また、カバレッジを良好なものとするため、バンク 814 の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物 814 の材料としてポジ型の感光性アクリルを用いた場合、バンク 814 の上端部のみに曲率半径 ($0.2\ \mu\text{m} \sim 3\ \mu\text{m}$) を有する曲面を持たせることが好ましい。また、バンク 814 として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0100】

第 1 の電極 813 上には、電界発光層 816、および第 2 の電極 817 がそれぞれ形成されている。ここで、第 1 の電極 813 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn 膜、Pt 膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との 3 層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

【0101】

また、電界発光層 816 は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。

【0102】

さらに、電界発光層 816 上に形成される第 2 の電極（陰極）817 に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または CaN）を用いればよい。ここでは、発光が透過するように、第 2 の電極（陰極）817 として、膜厚を薄くした金属薄膜と、透明導電膜（ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（In₂O₃—ZnO）、酸化亜鉛（ZnO）等）との積層を用いる。

【0103】

また、第 2 の電極 817 は全画素に共通の配線としても機能し、引き回し配線 808 を経由して FPC 809 に電氣的に接続されている。

【0104】

さらにシール剤 805 により封止基板 804 を素子基板 810 と貼り合わせることで、より上記効果を高めることができる。

【0105】

すなわち、素子基板 801、封止基板 804、およびシール剤 805 で囲まれた空間 807 に発光素子 818 が備えられた構造になっている。

【0106】

なお、シール剤 805 にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0107】

また、本実施の形態では封止基板 804 を構成する材料としてガラス基板や石英基板の他、FRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

【0108】

なお、本実施の形態 5 は実施の形態 1 乃至 4 と自由に組み合わせることができる。

【0109】

(実施の形態6)

本発明の配線を用いて作製された半導体装置を用いて様々な電気器具を完成させることができる。その具体例について図9を用いて説明する。

【0110】

図9(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の配線構造を有する半導体装置をその表示部2003に用いることにより作製される。なお、本発明の配線構造を有する半導体装置は、配線抵抗の低減を可能とするものであるため大型の表示装置に適している。なお、表示装置には、液晶表示装置、発光装置などがあり、具体的には、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0111】

図9(B)は、ノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の配線構造を有する半導体装置をその表示部2203に用いることにより作製される。

【0112】

図9(C)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の配線構造を有する半導体装置をこれら表示部A、B2403、2404に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0113】

以上の様に、本発明により作製された半導体装置の適用範囲は極めて広く、本発明の半導体装置をあらゆる分野の電気器具に適用することが可能である。また、本実施の形態6の電気器具は実施の形態1乃至5を実施して作製された半導体装置を用いることにより完成させることができる。

【 0 1 1 4 】

【発明の効果】

本発明を実施することにより、発光装置や液晶表示装置などの半導体装置において、大画面化を実現する際に問題となる配線抵抗により生じる電圧降下や信号遅延を低減し、駆動回路部の動作速度の向上及び画素部における画像の均質性を向上させることができる。

【図面の簡単な説明】

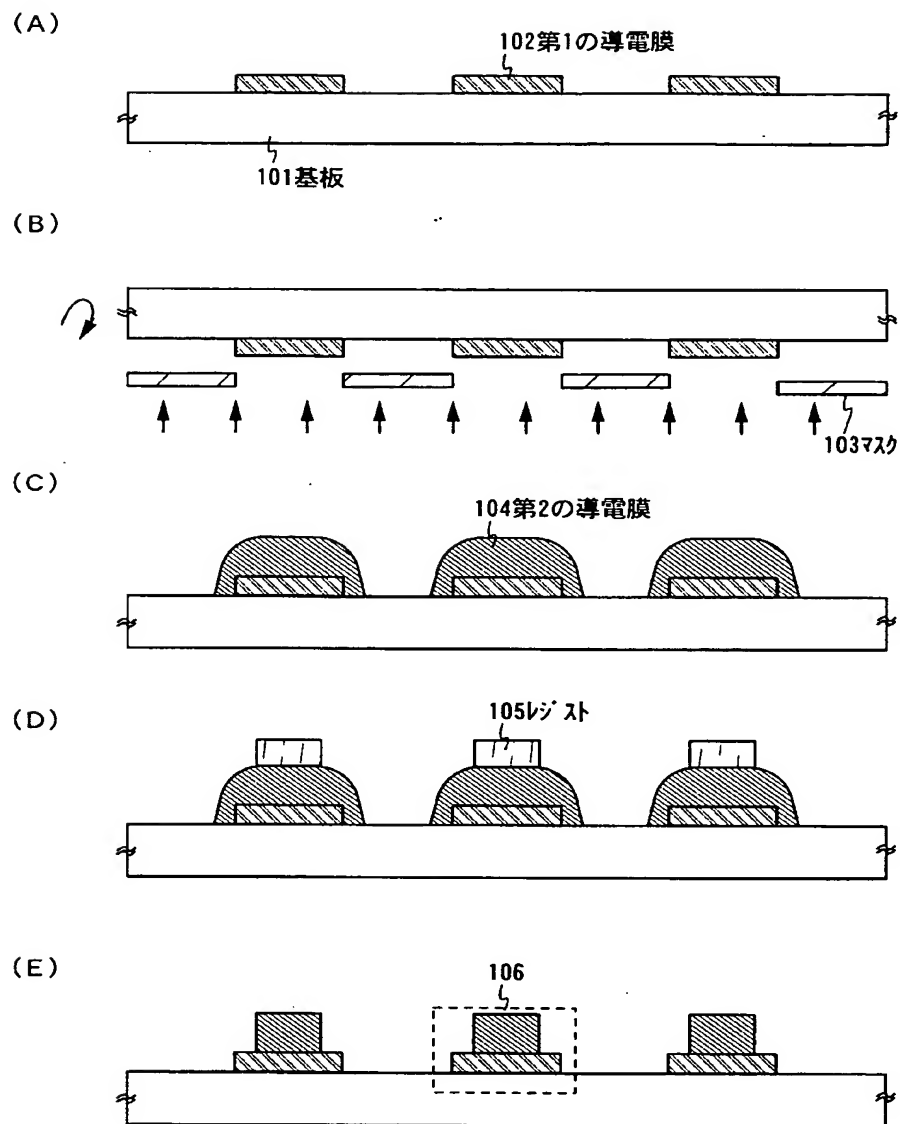
- 【図 1】 本発明の配線の作製工程を説明する図。
- 【図 2】 本発明の配線を信号線に用いた場合について説明する断面図。
- 【図 3】 本発明の配線を信号線に用いた場合について説明する断面図。
- 【図 4】 本発明の配線を信号線に用いた場合について説明する断面図。
- 【図 5】 本発明の配線構造の具体例について説明する図。
- 【図 6】 本発明の配線を走査線に用いた場合について説明する断面図。
- 【図 7】 本発明の配線を引き回し配線に用いた場合について説明する図。
- 【図 8】 発光装置について説明する図。
- 【図 9】 電気器具について説明する図。

【符号の説明】

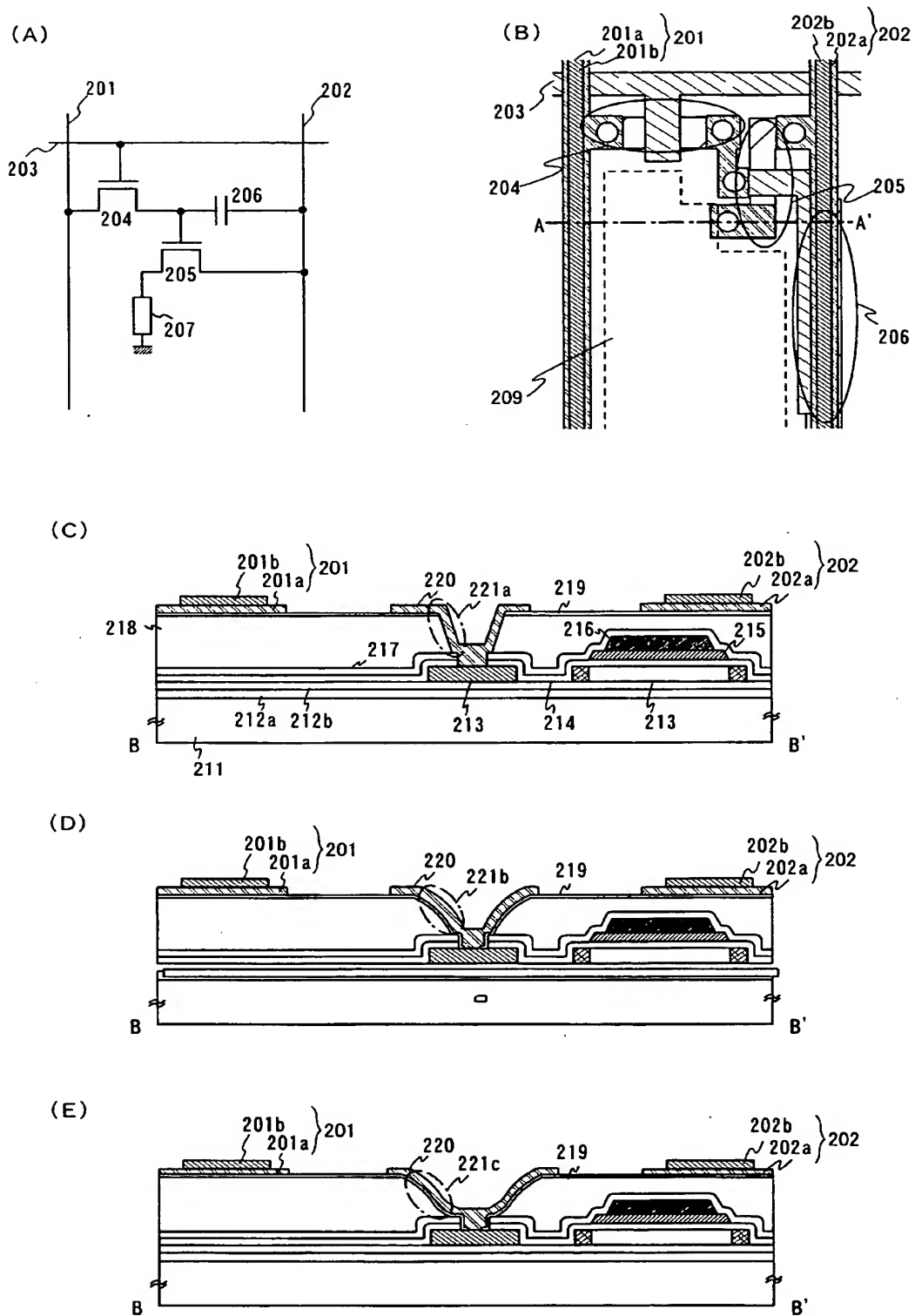
- 1 0 1 基板
- 1 0 2 第 1 の導電膜
- 1 0 3 マスク
- 1 0 4 第 2 の導電膜
- 1 0 5 レジスト
- 1 0 6 配線

【書類名】 図面

【図 1】

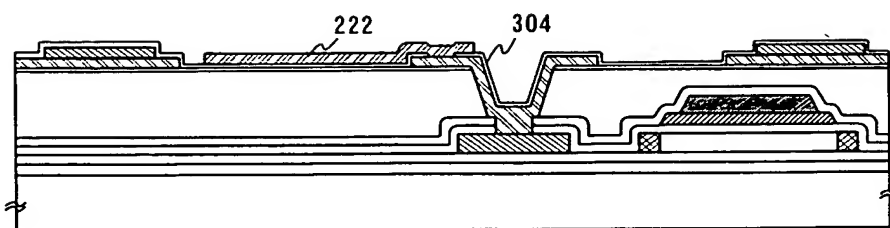


【図 2】

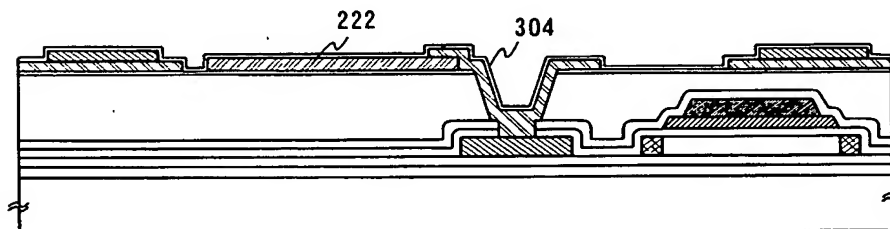


【図 3】

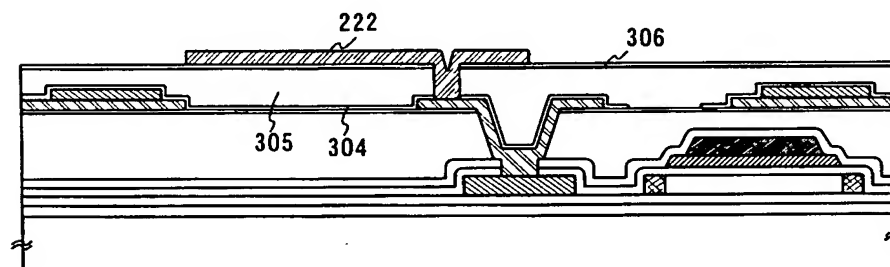
(A)



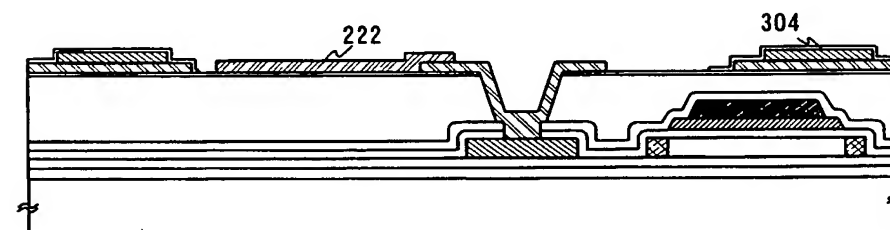
(B)



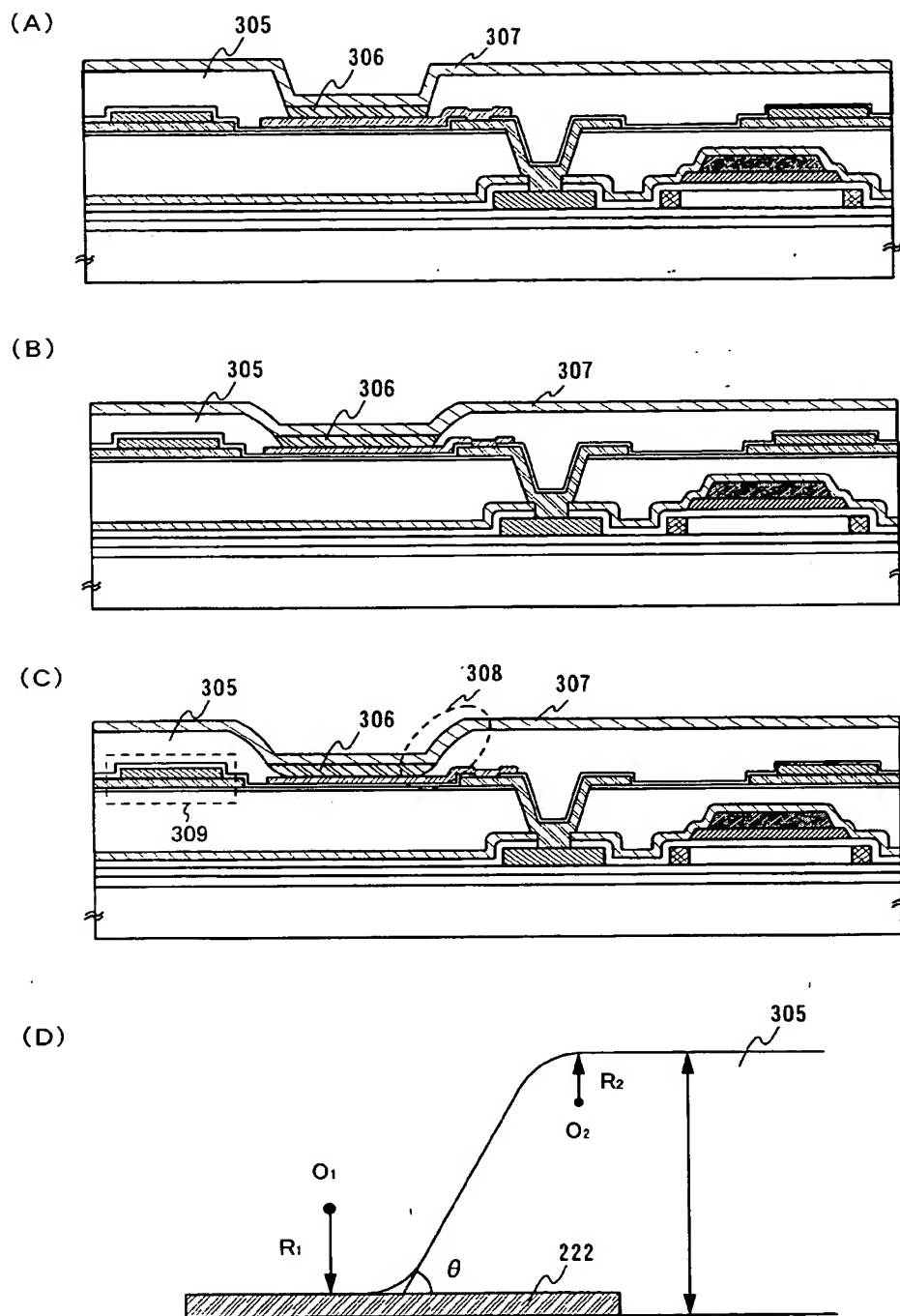
(C)



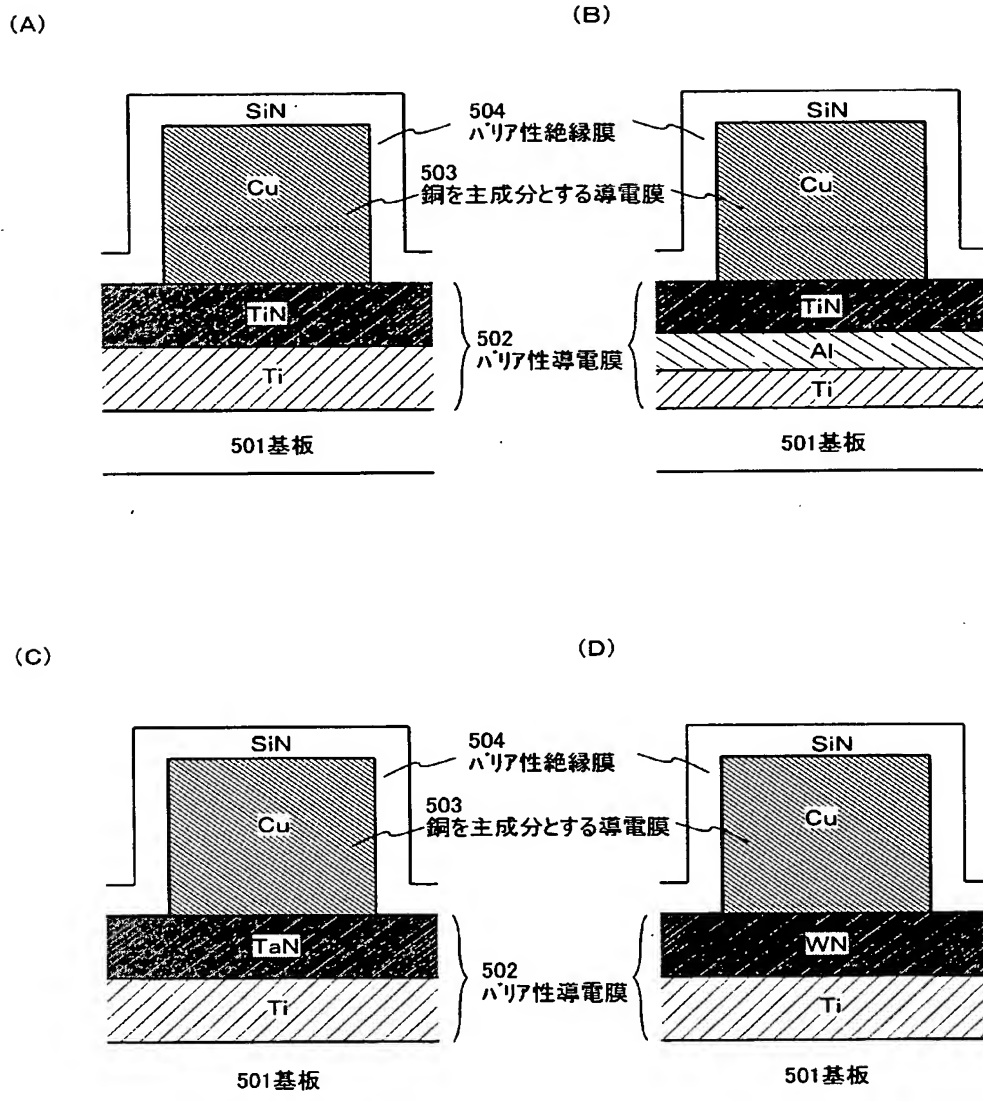
(D)



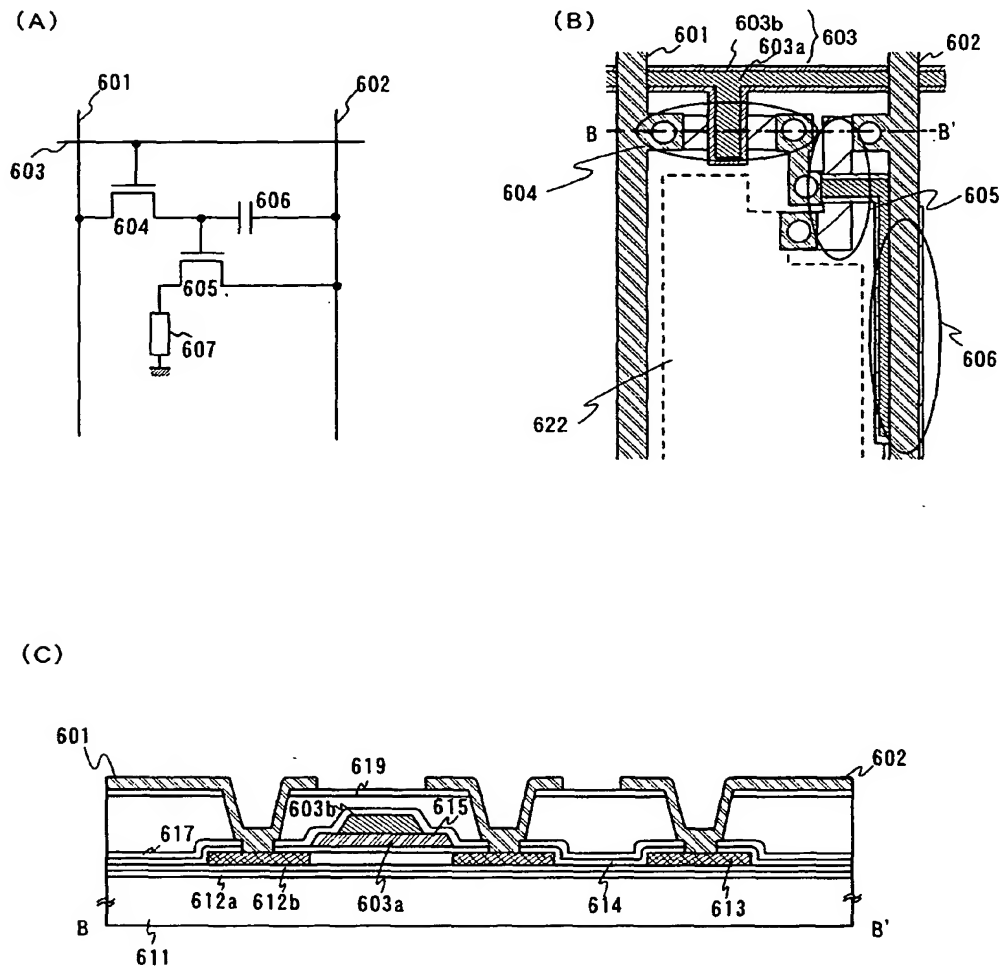
【図 4】



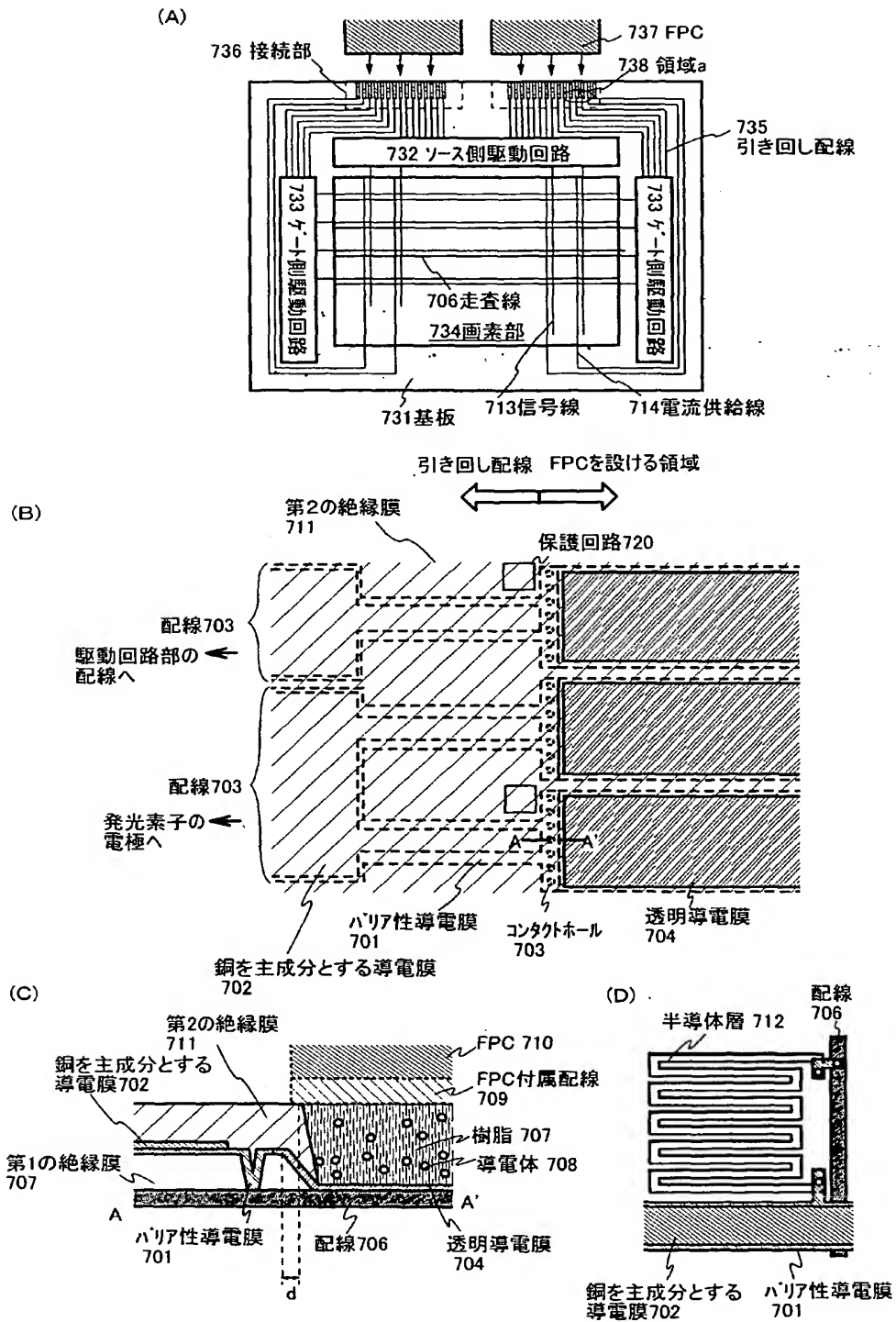
【図 5】



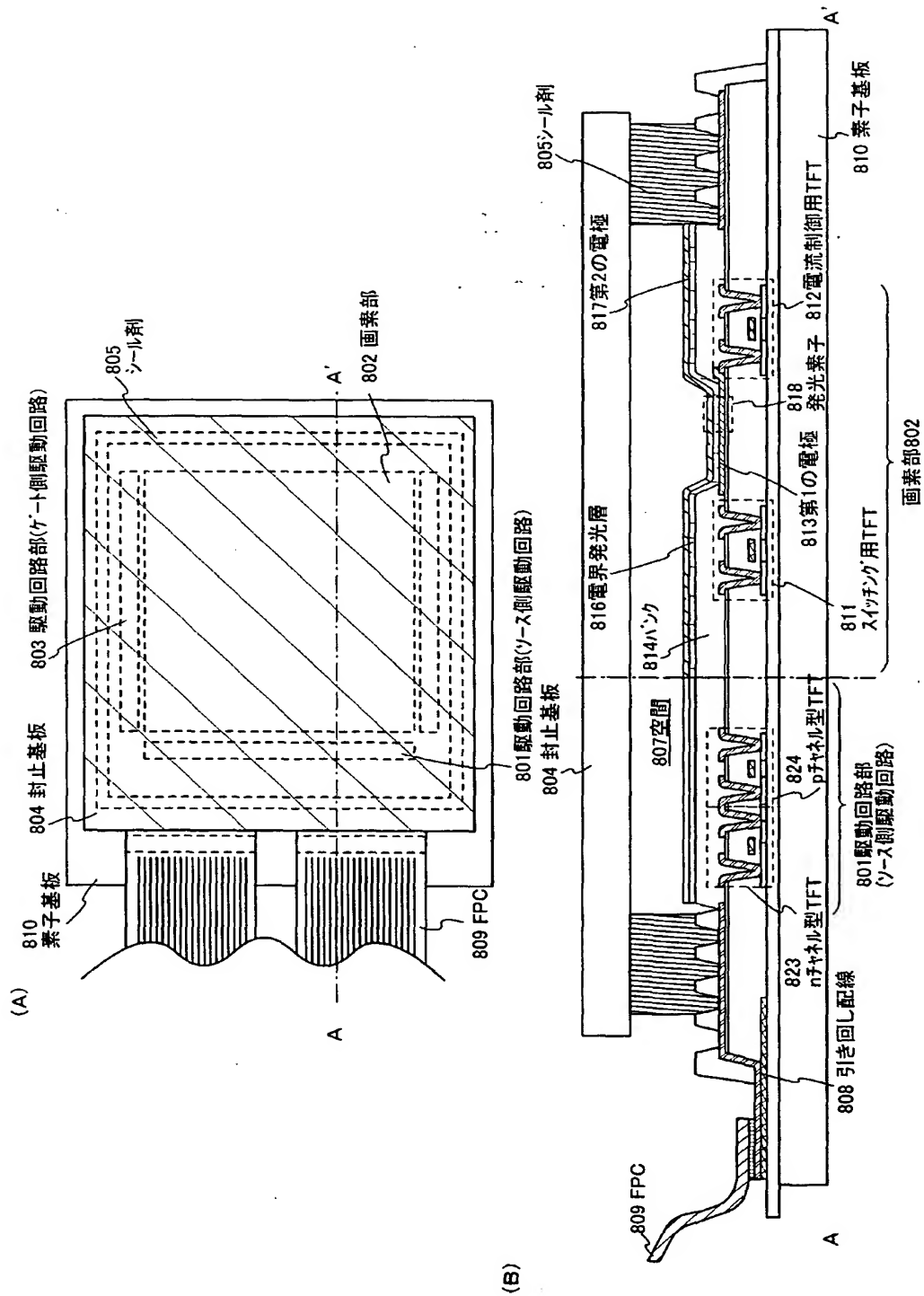
【図 6】



【図7】

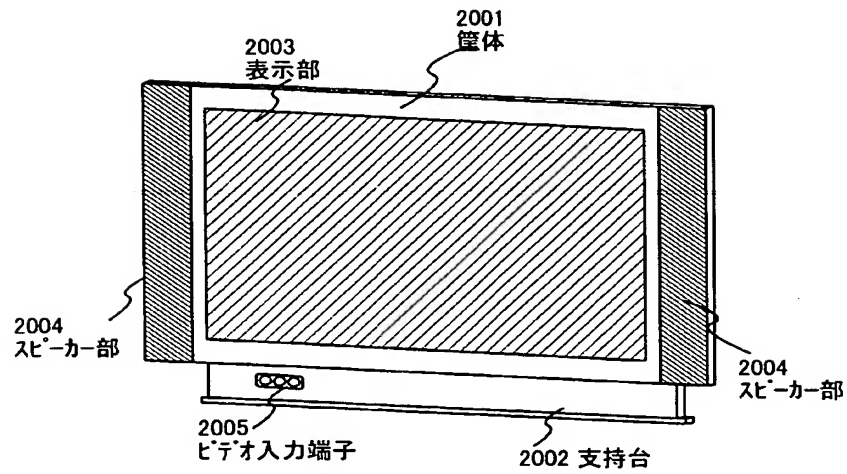


【図8】

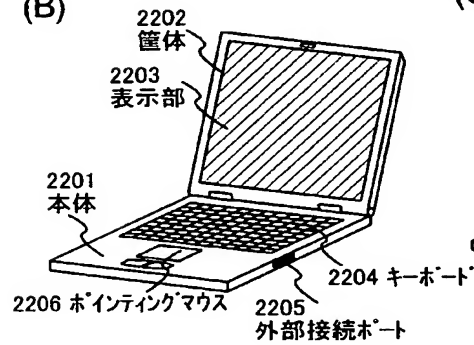


【図9】

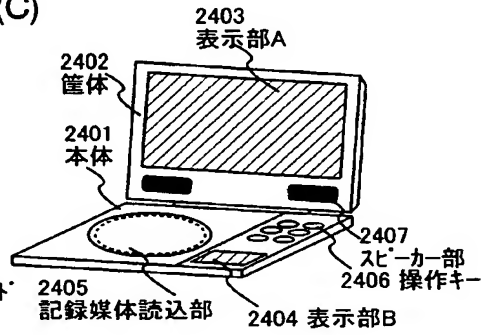
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 本発明は、上述のような配線抵抗に起因する電圧降下の影響を抑え、表示装置の画質を均質なものとすることを目的とする。また、駆動回路部と入出力端子とを電氣的に接続する配線の遅延を抑え、駆動回路部の動作速度を向上させることを目的とする。

【解決手段】 本発明では、半導体装置に用いる配線として、配線抵抗の低抵抗化を実現する銅を含む配線を微細化して用いるとともに、銅の拡散を防ぐバリア性の導電膜（以下、バリア性導電膜）を薄膜トランジスタ（以下、TFTと表記する）との間に設けることによりTFTの半導体層に銅が拡散することなく銅を含む配線を形成することを特徴とする。なお、銅を含む配線は、銅を主成分とする導電膜と、銅の拡散に対するバリア性を有するバリア性導電膜との積層膜からなる配線であり、銅を主成分とする導電膜の線幅を細くするための微細加工することを特徴とする。

【選択図】 図1

特願 2 0 0 2 - 2 7 6 3 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所